

News Release

NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構)

国立研究開発法人産業技術総合研究所

国立大学法人東京大学

「AIチップ設計拠点」の本格運用を開始 —設計環境の提供により、中小・ベンチャー企業などのAIチップ開発加速を目指す—

NEDOは「AIチップ開発加速のためのイノベーション推進事業」を行っており、本事業において産業技術総合研究所および東京大学と共同で、東京大学本郷地区浅野キャンパス(東京都文京区)内に「AIチップ設計拠点」の整備を進めてきましたが、このたび2023年4月1日に、本拠点の本格運用を開始します。

本拠点では、利用者の計画に応じてフレキシブルに構築できる半導体設計環境や、本事業で開発した「AIチップ向けIPの設計・評価プラットフォーム」などを提供します。

これにより、AIチップの設計からデモシステム開発までを短期間・低コストで実現することで、中小・ベンチャー企業などのAIチップ開発加速を目指します。

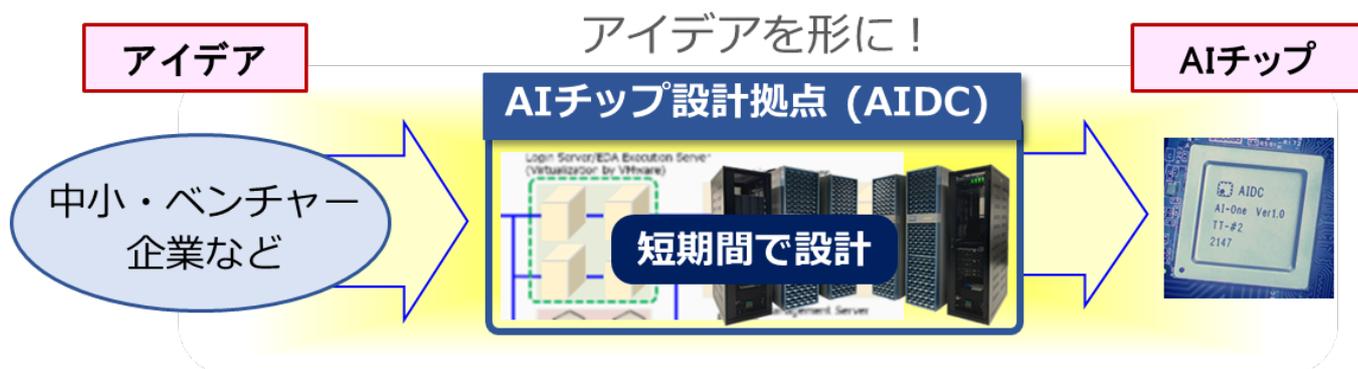


図1 AIチップ設計拠点の機能

1. 概要

目覚ましく進展するIoT社会において、さまざまな形式を含む巨大なデータ(ビッグデータ)から人々の生活に新たな価値を創造するための鍵となる技術として人工知能(AI)技術が注目されています。

このAI技術の根幹をなす半導体集積回路は、微細化が進み素子の集積度が高くなるとともに、より高度な情報処理が可能になる一方で、単位面積当たりのエネルギー消費の増大が極めて大きな課題となっています。特に汎用(はんよう)の半導体集積回路ではエネルギー消費が大きくなりやすいため、省エネルギーで効率的にAIを動作させる専用の半導体集積回路・デバイス(AIチップ)の開発が必要不可欠であり、世界的にもAIチップの開発競争が激化しています。

日本では、多くの中小・ベンチャー企業などが台頭し、AIチップの開発に取り組んでいます。しかし、AIチップの開発には、EDAツール^{※1}やハードウェア・エミュレーター^{※2}(H/Wエミュレーター)、標準IPコア^{※3}、高性能なサーバマシン、大容量のストレージなどからなる高価かつ大規模な半導体設計環境が必要であり、中小・ベンチャー企業などに革新的な構想があったとしても、AIチップの設計や試作に対する障壁になっています。

このような背景のもと、NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構)は「AIチップ開発加速のためのイノベーション推進事業^{*4}」(以下、本事業)において、国立研究開発法人産業技術総合研究所(産総研)、国立大学法人東京大学と共同で、東京大学本郷地区浅野キャンパス(東京都文京区)内の武田先端知ビルに「AIチップ設計拠点(通称:AIチップデザインセンター[以下、AIDC])」を整備しています。AIDCは2019年10月に試験運用を開始^{*5}し、AIチップ設計に必要なEDAツールやH/Wエミュレーター、標準IPコアなどからなるAIチップの設計環境を整えるとともに、これらを活用するための設計フローなど、AIチップ設計のための共通基盤技術の開発、知見・ノウハウの蓄積や人材育成などを進めてきました。AIDCの試験運用に協力した中小・ベンチャー企業などの拠点利用者は、2023年1月時点までの合計で195名、74プロジェクトに達し、本事業で開発する共通基盤技術の実証や本拠点の有効性の確認を行ってきました。

そしてこのたび、2023年4月1日にAIDCの本格運用を開始します。AIDCは産総研の共用施設として位置付けられ、産総研と東京大学が共同で本格的な運用を行います。4月からAIDCは、本事業で構築した設計環境と、その利用方法・ノウハウなどを含めて提供し、中小・ベンチャー企業などのAIチップ開発加速を目指します。また、新規の技術開発も進め、AIチップ設計の多様なワンストップサービスの提供を目指します。

なお、2023年3月22日13時から、東京大学 武田先端知ビル 武田ホールにて、本事業の最終成果報告会を開催します。詳細は以下のリンク先をご覧ください。

AIDC最終成果報告会のお知らせ(https://ai-chip-design-center.org/aidc_debriefing2023/)

2. AIDCの特徴と利用方法

(1) プランとオプションの組み合わせで計画に合わせた設計環境が構築可能

AIDCでは、EDAツールやH/Wエミュレーター、標準IPコア、高性能なサーバーマシン、大容量のストレージを整備しています。EDAツールとしては、上流設計^{*6}に関するEDAツール群はもちろんのこと、物理設計^{*7}に関するツール群が利用可能です。H/Wエミュレーターは、国内最大規模の23億ゲートの大規模回路で100億サイクルを数時間で検証可能です。標準IPコアについては、28ナノメートル(nm)、12nmプロセスで利用できる標準インタフェース回路などを準備しているほか、それら標準IPコアを搭載した評価チップと評価ボードを用いて、利用者が開発した回路と標準IPコアの接続などをH/Wエミュレーターにより事前に評価できます。

これらのツールは2023年4月1日以降、産総研の約款により定めたプランとオプションを組み合わせることで利用者の設計計画に合わせてフレキシブルに半導体設計環境を構築して使用することが可能です(図2)。

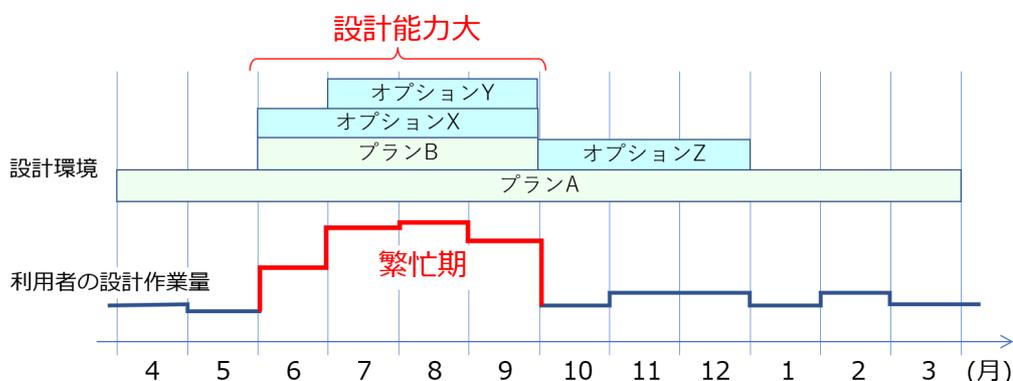


図2 設計作業量に合わせたフレキシブルな設計環境構築のイメージ

(2) AIチップ向けIPの設計・評価プラットフォームを整備

AIチップ向けIPの設計・評価プラットフォーム^{※8}は、中小・ベンチャー企業などが開発するアルゴリズムを実行するエンジンであるAIアクセラレーター^{※9}向け設計・評価プラットフォームです。AIアクセラレーターを実環境で評価するには、AIアクセラレーターと標準システム回路を有するシステム・オン・チップ(SoC)、いわゆるAIチップを開発し、それをを用いてシステムレベルでの評価が必要なため、多くのコストと時間がかかっています。そこでAIDCでは、共通基盤技術として標準システム回路や検証回路、テスト回路、評価ボード、ソフトウェア開発環境などを開発し、中小・ベンチャー企業などにこれら共通技術をAIアクセラレーター向け設計・評価プラットフォームとして提供します。AIDC利用者は本プラットフォームを利用することで、短期間(従来比45%以下)かつ低コストで、各企業独自のAIアクセラレーター搭載チップの設計、試作から組み立て、評価、デモシステム構築まで一括して行う環境を入手することができます。

すでに28nmプロセスによる設計・評価プラットフォーム「AI-One」の動作を確認^{※10}しており、参加6機関(うち、企業5社)によるAIアクセラレーターのデモンストレーションに成功しています。さらに12nmプロセス(FinFET^{※11})による設計・評価プラットフォームの実証も進めており、現在、中小・ベンチャー企業2社の協力^{※12}を得て3種類の独自AIアクセラレーターを搭載した実証チップ「AI-Two」を設計し、外部の製造会社で試作した実チップの組み立てと評価ボードへの実装を完了、チップ評価を開始しました。現在、各協力会社で自身のAIアクセラレーターの評価をしており、これまでに3種類のAIアクセラレーター全てが設計通りの周波数で動作することを確認しました(図3)。今後、AIアクセラレーターの機能を確認し、2023年3月までに設計・評価プラットフォームとして整備を完了します。



図3 現在実証中の設計・評価プラットフォーム「AI-Two」

(3) 4月以降のAIDCの利用方法

AIDCを利用するには、AIDCのWEBサイト(<https://ai-chip-design-center.org>)から利用申請が必要です。WEBサイトには、AIDCが主催するフォーラムや各種セミナーのお知らせ、ニュースなども掲載しています。

【注釈】

※1 EDAツール

EDAはElectronic Design Automationの略です。半導体集積回路などの電気系回路設計を自動化・支援・補助するソフトウェアのことです。

※2 ハードウェア・エミュレーター

集積回路レベルからシステム全体までを高速に検証することができる装置です。

※3 IPコア

IPは、Intellectual Propertyの略です。半導体集積回路を構成する部分的な回路情報で、特に機能単位でまとめられているものを指します。

※4 AIチップ開発加速のためのイノベーション推進事業

事業名: AIチップ開発加速のためのイノベーション推進事業/AIチップ開発を加速する共通基盤技術の開発

実施期間: 2018年度～2022年度

事業概要: https://www.nedo.go.jp/activities/ZZJP_100142.html

※5 試験運用を開始

(参考)NEDOリリース(2019年10月7日)「AIチップ開発加速のための「AIチップ設計拠点」が稼働開始」

https://www.nedo.go.jp/news/press/AA5_101211.html

※6 上流設計

半導体チップの設計工程の一つです。仕様に基づいて、半導体チップを構成する部品(機能素子)とそのつながりを表す回路データを作成する工程です。

※7 物理設計

半導体チップの設計工程の一つです。上流設計で作成された回路データを用いて、半導体ウエハー上に半導体チップとして機能素子や配線などを作りこむためのデータを作成する工程です。

※8 設計・評価プラットフォーム

(1)半導体チップを設計する手法、(2)チップの利用目的に合わせた標準システム回路、(3)仕様で定められた半導体製造条件に合った設計ツールの使用方法、(4)半導体チップを搭載する評価ボード、(5)半導体チップ上で動作するソフトウェアを開発するための開発環境の組み合わせです。今回は、エッジAI向けの半導体チップを28nmプロセスと12nmプロセスでの製造条件を用いて、それに適した設計手法や標準システム回路などを組み合わせています。

※9 AIアクセラレーター

AIアプリケーション、特にニューラルネットワークなどの、機械学習を行うために開発されたアルゴリズムを実行するエンジン(機能単位)です。

※10 「AI-One」の動作を確認

(参考)NEDOリリース(2022年3月22日)「複数のAIアクセラレータを搭載した実証チップ「AI-One」の動作を確認」

https://www.nedo.go.jp/news/press/AA5_101526.html

※11 FinFET

フィンフェット(Fin Field Effect Transistor)とは、MOSトランジスタ(MOS: Metal/Oxide/Semiconductor、金属/酸化膜/半導体構造)の一種で、ゲートにより制御されるチャネル部分が平面構造ではなく立体構造になった微細な集積回路用のトランジスタです。

※12 中小・ベンチャー企業の協力

AI-Twoの取り組みでは以下の2社より協力を得ています。LeapMind株式会社、株式会社エヌエスアイテクス。

3. 問い合わせ先

(本ニュースリリースの内容についての問い合わせ先)

NEDO IoT推進部 担当: 阿川、芹澤、功刀(くぬぎ)、波佐

産総研 AIチップ設計拠点 担当: 内山

東京大学大学院工学系研究科附属システムデザイン研究センター(東京大学 d.lab)

基盤設計研究部門長: 池田

(AIチップ設計拠点についての問い合わせ先)

AIチップ設計拠点

(産総研 広報に関する一般的な問い合わせ先)

産総研 広報部 報道室

(その他NEDO事業についての一般的な問い合わせ先)

NEDO 広報部 担当:橋本、坂本、黒川、鈴木、根本

※新聞、TV などでは弊機構の名称をご紹介いただく際は、“NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構)”または“NEDO”のご使用をお願いいたします。